

Japanese Patent Laid-open No. HEI 11-145981 A

Publication date : May 28, 1999

Applicant : Oki Electric Industry Co., Ltd.

Title : ATM DUPLEX APPARATUS

5

(57) [Abstract]

[Problem]

To provide an ATM duplex apparatus that can periodically maintain both operating and reserve systems and can improve
10 the apparatus life and quality.

[Solving Means]

The ATM duplex apparatus has a cell decomposing section for carrying out ATM cell decomposing configured in duplex by a 0 system apparatus 100 comprising a write control section
15 110, data accumulation RAM_0 system 120 and read control section 130 and a 1 system apparatus 200 comprising a write control section 210, data accumulation RAM_1 system 220 and read control section 230, and write control sections 110, 210 has the information notification function with the other system for
20 writing the cell data to the same address when the operation system and reserve system are changed over, and read control sections 130, 230 are each equipped with an information notification function with the other system for reading the same address position and a judgment section for judging the
25 completion of change-over in that the transmission user data

of its own system and the other system coincide when the write change-over start address by change-over is read.

[0078] Second Embodiment

5 A duplex configuration of an ATM duplex apparatus related to the second embodiment according to the present invention is the same as that of Fig. 1 of the first embodiment.

[0079] Fig. 9 shows the basic apparatus configuration of the ATM duplex apparatus related to the second embodiment, and
10 the upper section of the broken line of Fig. 9 shows the "0 system" apparatus and the lower section of the broken line shows the "1 system" apparatus.

[0080] The difference from the first embodiment is that the region is secured for each ch so that data accumulation RAM
15 is able to meet a plurality of chs. Consequently, to the write/read control, the ch information is added. Now, in the region of each ch of data accumulation RAM, the data region is allocated for each cell data as in the case of the first embodiment.

20 [0081] In Fig. 9, reference numeral 300 is a 0 system apparatus and reference numeral 400 a 1 system apparatus, and the 0 system apparatus 300 comprises a write control section 310, data accumulation RAM_0 system 320 and a read control section 330, while the 1 system apparatus 400 comprises a write control
25 section 410, data accumulation RAM_1 system 420 and a read

control section 430.

[0082] Because the above 0 system apparatus 300 and the 1 system 400 have the same configuration, explanation will be made with the 0 system apparatus 300 taken as an example.

5 [0083] The ATM cell has the payload data extracted by the receiving processing and is delivered as the receiving cell data _0 system to the data accumulation RAM _0 system 320. From receiving processing, the effective cell receiving signal and receiving cell ch information are delivered to the write
10 control section 310.

[0084] The write control section 310 outputs the write address _0 system and write control signal _0 system to the data accumulation RAM _0 system 320. The write control section of its own system (for example, write control section 310) receives
15 the write information _1 system (including ch information) which the write control section of the other system (for example, write control section 410) outputs.

[0085] The read control section 330 receives the TS information and write information _0 system outputted by user data
20 transmission processing. In addition, the read control section of its own system (for example, read control section 330) receives the read information _1 system (including ch information) which the read control section of the other system (for example, read control section 430) outputs.

25 [0086] The read control section 330 outputs the read access

_0 system and read control signal _0 system to the data accumulation RAM _0 system 320. As a result, the data accumulation RAM _0 system 320 transmits the transmission user data _0 system.

5 [0087] Now, the write control section 410, data accumulation RAM _1 system 420, and read control section 430 of the 1 system apparatus 400 take the same configuration.

[0088] Fig. 10 is a diagram showing the configuration of the data accumulation RAM, and the data accumulation RAM _0 system
10 320 and data accumulation RAM _1 system 420 take the same configuration.

[0089] As shown in Fig. 10, it is configured with the data region configuration of Fig. 3 set as one ch region and piled up in the number of a plurality of chs.

15 [0090] Fig. 11 is a diagram showing the configuration of the write control sections 310, 410. Because the write control sections 310, 410 have the same configuration, the description will be made with the write control section 310 taken as an example.

20 [0091] In Fig. 11, the write control section 310 comprises a memory 311, select condition judgment circuit 312, selector 313, address switching circuit 314, write timing adjusting circuit 315, and write control signal generating circuit 316.

[0092] Memory 311 stores the cell region information written
25 previously for each ch.

[0093] The select condition judgment circuit 312 judges the select conditions by the operation system/reserve system condition and presence of switching signal.

[0094] The selector 313 selects the cell region information stored in the memory 311 based on the judgment results of the select condition judgment circuit 312 and the write information (here, write information _1 system) including ch information from the other system.

[0095] The address switching circuit 314 switches the address of the cell region to the one which the selected information is written next and outputs as the write address (write address _0 system).

[0096] In addition, the write timing adjusting circuit 315 carries out the write timing adjustment by the effective cell receiving signal.

[0097] The write control signal generating circuit 316 generates the write control signal (write control signal _0 system) based on the effective cell receiving signal with the timing adjusted.

[0098] Fig. 12 is a diagram showing the configuration of the read control sections 330, 430. Because the read control sections 330, 430 have the same configuration, the description will be made with the read control section 330 taken as an example.

[0099] In Fig. 12, the read control section 330 comprises a

TS information and ch information table 331, TS information correction circuit 332, memory 333, select condition judgment circuit 334, selector 335, address switching circuit 336, switching completion memory 337, switching completion judgment circuit 338, read timing adjusting circuit 339, and read control signal generation circuit 340.

[0100] The TS information and ch information table 331 stores the TS information and ch information of user data in the form of a table.

10 [0101] The TS information correction circuit 332 corrects the read information (including TS information and ch information) of the other system in conformity to TS information and ch information table 331 and outputs the TS information during receiving the information from the other system to the memory
15 333.

[0102] The memory 333 stores the cell region information at the position where reading of the data of 1 cell is completed in conformity to the information after correction by every ch.

[0103] The selector condition judgment circuit 334 judges the
20 select conditions in accordance with the operating system/reserve system condition and the presence of switching signal.

[0104] The selector 335 selects the cell region information stored in memory 333 and TS configuration adjusted information
25 during receiving the information from the other system (here,

read information _1 system) in conformity to the judgment results of the select condition judgment circuit 334.

[0105] The address switching circuit 336 switches the address of the cell region to the one which the selected information
5 is read next and outputs as the read address (read address _0 system). The switching completion memory 337 stores the switching completion condition of each ch including the ch setting condition in memory.

[0106] The switching completion judgment circuit 338 knows
10 the switching operation initiation from the select condition judgment from the select condition judgment circuit 334 and judges the selection completion from the selection completion condition information of each ch from the selection completion memory 337 and the write information and read information
15 including the ch information, and outputs the selection completion signal when all the chs finish switching. All the chs referred to here are optional values (ch) chosen by the user and can be varied one after another.

[0107] The read timing adjusting circuit 339 adjusts the read
20 timing by the user data transmission request signal.

[0108] The read control signal generating circuit 340 generates the read control signal (read control signal _0 system) in conformity to the user data transmission request signal with timing adjusted.

25 [0109] Now, description will be made on the operation of the

ATM duplex apparatus configured as above.

[0110] [Overall Operation] The overall operation will be described with the 0 system apparatus 300 taken as an example. The basic operation is the same as the first embodiment.

5 [0111] The payload data is extracted by the receiving processing and is delivered as the receiving cell data _0 system to the data accumulation RAM _0 system 320. From receiving processing, the effective cell receiving signal and receiving cell ch information are delivered to the write control section
10 310.

[0112] Further, the write control section 310 outputs the write address _0 system and write control signal _0 system to the data accumulation RAM _0 system 320. The write control section of its own system 310 receives the write information _1 system
15 including ch information which the write control section of the other system 410 outputs.

[0113] The read control section 330 receives the TS information, the ch information and write information _0 system outputted by user data transmission processing. In addition, the read
20 control section of its own system 330 receives the read information _1 system including ch information which the read control section of the other system 430 outputs.

[0114] Further, the read control section 330 outputs the read access _0 system and read control signal _0 system to the data
25 accumulation RAM _0 system 320. As a result, the data

accumulation RAM_0 system 320 transmits the transmission user data _0 system including the ch information.

[0115] [Operation of Each Section] Fig. 12 is a flow chart showing the flow of the operation of the write control sections

5 310, 410 and the basic operation is same as that of Fig. 6. Since the write control sections 310, 410 provide the same operation, the operation of the write control section 310 of the 0 system apparatus 300 will be taken as an example.

[0116] First of all, judgment is made as to whether the
10 effective cell is received or not at Step ST21 and when the effective cell is received, judgment is made as to whether its own system is the operating system and the other system is the reserve system (its own system = operating system, the other system = reserve system) at Step ST22.

15 [0117] When its own system is the operating system and the other is the reserve system, in order to continue the write operation in the present operating system, the received cell data is written in the region of the relevant ch next to the one in which the data was written previously in Step ST23,
20 the write control section returns to Step ST21 and carries out the next effective cell reception.

[0118] When its own system is the reserve system and the other is the operating system (its own system = reserve system, the other system = operating system), since its own system is the
25 reserve system, judgment is made as to whether any switching

signal is generated at Step ST24, and if no switching signal is generated, the operation proceeds to ST23 and the same write operation is carried out as in the case when its own system is the operating system.

5 [0119] If any switching signal is generated at Step ST24, the cell data is written in conformity to the write information (including the ch information) of the other system at Step ST25. In such event, its own system and the other system write the same cell data at the same position (address).

10 [0120] Next, at Step ST26, the write start position and ch information display are carried out by switching, and the operation returns to ST21 and the next effective cell is received. Specifically, the write switching start address and ch information are notified to the read control section 330 and
15 the next effective cell is received.

[0121] In this way, at the write control section 310, first of all, the effective cell is received, and if its own system is the operating system, the received cell data is written in the region of the relevant ch next to the one to which the
20 data was written previously. If its system is the reserve system, the presence of generation of switching signal is checked, and if any switching signal is not generated, the same operation as in the case in which its own system is the operating system is carried out.

25 [0122] When any switching signal is generated, the write

information (including the ch information) of the other system is used and the received cell data is written at the same position as that of the other system. When the received cell is written at the same position (address) for both its own and the other
5 systems, the position (address) and the ch information are notified to the read control section 330.

[0123] Fig. 14 is a flow chart showing the flow of the operation of the read control sections 330, 430 and the basic operation is same as that of Fig. 7. Since the read control sections
10 330, 430 provide the same operation, in order to correspond to the operation of the write control section 310, the operation of the read control section 330 of the 0 system apparatus 300 will be taken as an example.

[0124] First of all, judgment is made as to whether a specified
15 volume of cell data is accumulated or not in the data accumulation RAM 320 at Step ST31. The specified volume referred to here is the specified value which the user can optionally decide.

[0125] When the specified volume of cell data is accumulated in the data accumulation RAM 320, judgment is made as to whether
20 its own system is the operating system and the other system is the reserve system (its own system = operating system, the other system = reserve system) at Step ST32.

[0126] When its own system is the operating system and the other is the reserve system, in order to continue the write
25 operation in the present operating system, the data position

of relevant ch next to that read previously is read at Step ST33, and judgment is made as to whether the data reading of one cell region is finished or not at Step ST34. If the data reading of one cell region is not finished, reading at ST33 is repeated until the data reading of one cell region is finished.

[0127] When the data reading of one cell region is finished, at Step ST35, the read cell region information and TS, ch information at the position are outputted to the other system, and the operation returns to Step ST31, and a specified volume of cell data is accumulated in the data accumulation RAM 320. TS referred to here is the data that indicates at which data position from the head (reference) signal of the user data the data is located as shown in Fig. 15. ch shown in Fig. 15 is just one example, and the ch configuration is optionally established by the user.

[0128] Returning to Fig. 14, when its own system is the reserve system and the other is the operating system (its own system = reserve system, the other system = operating system) in Step ST32, since its own system is the reserve system, at Step ST36, judgment is made as to whether any switching signal is generated or not and if no switching signal is generated, the operation proceeds to Step ST33 and the reading operation same as in the case in which its own system is the operating system is carried out.

[0129] If any switching signal is generated in Step ST36, using

the read information (including TS information and ch information) of the other system and TS information table in Step ST37, the data at the position corresponding to the same position (address) of the other system is read and outputted
5 as the relevant TS data. Here, the TS configuration and ch configuration while the read information is being received are identified on the basis of the TS information and ch information table 331 and corrected by the TS information correction circuit 332.

10 [0130] Then, at Step ST38, judgment is made as to whether the write switching start address and after of the relevant ch is read or not and if the write switching start address and after of the relevant ch is not read, the operation returns to Step ST37 and the processing of Step ST37 is repeated until
15 the write switching start address and after of the relevant ch is read.

[0131] When the write switching start address and after of the relevant ch is read, because the relevant ch coincides with the transmitted user data contents, the switching
20 completion information of the relevant ch is retained in the switching completion memory 337 at Step ST39.

[0132] Then, at Step ST30, judgment is made as to whether all the setting chs arranged previously have switching completed by the processing as described above, and if switching of all
25 the setting chs is not completed, the operation returns to

Step ST37 and operations of Steps ST37 to ST30 are repeated.

[0133] When all the setting chs arranged previously have switching completed by the processing as described above, judgment is made that the switching control has been completed
5 as the apparatus, and the switching control completion is displayed at Step ST31, and the operation returns to Step ST31, and a specified volume of cell data is accumulated in the data accumulation RAM 320. In this event, the operating system and reserve system are changed over.

10 [0134] As described above, in the read control section 330, when its own system is the operating system, the data at the position of the relevant ch next to the one read previously is read. When all the data of the region for one cell are read, the read cell region information, and TS information and ch
15 information are outputted to the other system. On the other hand, if the its own system is the reserve system, if no switching signal is generated, the same operation when its system is the operating system is carried out.

[0135] When the switching signal is generated, using the read
20 information (including TS information and ch information) of the other system and the TS information table, the same position (address) as that of the other system is read. Thereafter, when the write switching start address of the relevant ch is read, because the relevant ch coincides with the transmitted
25 user data contents, the switching completion information of

the relevant ch is retained. When all the chs previously arranged by the user for application have switching completed by the similar processing, switching operation is completed as the apparatus and the switching by the external selector
5 is also carried out and the switching operation is completed. In this event, the operating system and the reserve system are changed over, too.

[0136] As described above, because the ATM duplex apparatus related to the second embodiment secures the ch region that
10 can correspond to a plurality of chs in the data accumulation RAM 320, 420, and is configured with the ch information added to the write/read control, after the transmission user data coincides, uninterrupted switching is possible without generating the data error as in the case of the first embodiment.
15 Consequently, periodically changing over the operating system and the reserve system enables the maintenance of the reserve system and the apparatus life and apparatus quality can be improved.

[0137] In particular, in the second embodiment, the apparatus
20 can accommodate a plurality of chs, and even when the ch application condition is changed, the switching operation can be carried out without changing the switching processing by varying the user ch setting in conformity to the application condition and the versatility can be improved.

[Fig. 9] Fig. 9 is a diagram showing a basic apparatus configuration of the ATM duplex apparatus related to the second embodiment to which the present invention is applied;

[Fig. 10] Fig. 10 is a diagram showing a configuration of the data accumulation RAM of the ATM duplex apparatus;

[Fig. 11] Fig. 11 is a diagram showing a configuration of the write control section of the ATM duplex apparatus;

[Fig. 12] Fig. 12 is a diagram showing a configuration of the read control section of the ATM duplex apparatus;

[Fig. 13] Fig. 13 is a flow chart showing the flow of the operation of the write control section of the ATM duplex apparatus;

[Fig. 14] Fig. 14 is a flow chart showing the flow of the operation of the read control section of the ATM duplex apparatus;

[Fig. 15] Fig. 15 is a diagram that describes the TS information of the ATM duplex apparatus;

Fig. 9

[0 system]

Effective cell receiving signal

Received cell ch information

Write information _1 system

Write control section

Switching signal

Received cell data _0 system
 Write address _0 system
 Write control signal _0 system
 Write information _0 system (including ch information)
 5 320 Data Accumulation RAM _0 System
 chn region
 chl region
 ch0 region
 Transmitted user data _0 system
 10 Read address _0 system
 Read control signal _0 system
 Read information _0 system (including ch information)
 Read control section
 Switching signal
 15 TS information
 Transmission ch information
 Read information _1 system
 [1 system]
 20 Effective cell receiving signal
 Received cell ch information
 Write information _0 system
 Write control section
 Switching signal
 25 Received cell data _1 system

Write address _1 system
 Write control signal _1 system
 Write information _1 system (including ch information)
 420 Data Accumulation RAM _1 System
 5 chn region
 chl region
 ch0 region
 Transmitted user data _1 system
 Read address _1 system
 10 Read control signal _1 system
 Read information _1 system (including ch information)
 Read control section
 Switching signal
 TS information
 15 Transmission ch information
 Read information _0 system

 [Fig. 11]
 Write control section
 20 Cell region information previously written (including the ch
 information)
 Write information from the other system (including ch
 information)
 Selector
 25 Changed to the next write address region

Write address

Operating system/reserve system

Switching signal

5 Select condition judged

Effective cell receiving signal

Write timing adjusted

Write control signal generated

10 Write control signal

[Fig. 12]

Read control section

Read information from the other system (including ch
15 information)

Cell region information previously read (including the ch
information)

Information after correction

20 Correction of TS information while receiving information from
the other system

TS information, ch information, table of user data

Selector

25 Changed to the next read address region

Read address

Switching completion memory (including ch setting condition)

5 Operating system/reserve system

Switching signal

Select condition judged

Switching completion judged

Switching completion signal

10

Write information (including ch information)

User data transmission request

Read timing adjusted

15 Read control signal generated

Read control signal

[Fig. 13]

Operation flow chart of write control section

20 Effective cell received?

Its own system = operating system and

other system = reserve system?

[Its own system = reserve system

other system = operating system]

25 Switching signal generated?

Cell data written to the cell region of the relevant ch next
to that previously written

Cell data written in conformity to the write information
(including ch information) of the other system

5 [Same cell data written in the same address for both its own
and the other systems]

Write start position and ch information caused by switching
displayed

[Write switching start address and ch information are notified
10 to the read control section]

[Fig. 15]

Head (reference) signal
(Frame pulse, etc.)

15

[Fig. 14]

Flow chart of read control section

A specified volume of cell data accumulated in data accumulation
RAM?

20 [A specified volume is an optional volume that user optionally
decides]

Its own system = operating system and
other system = reserve system?

[Its own system = reserve system
25 other system = operating system]

The data position of relevant ch next to that read previously
read

Data reading of one cell region completed?

- 5 Read cell region information and its TS and ch are outputted
to the other system

Switching signal generated?

- Data on the position corresponding to the other system read
10 information (including TS information and ch information) are
read and outputted as relevant TS data

[TS configuration and ch configuration while read information
is received is identified by the table and corrected]

- Write switching start address of the relevant ch and after
15 are read?

Switching completion of the relevant ch retained

All (set) chs switching completed?

Switching control completion displayed

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-145981

(43) 公開日 平成11年(1999) 5月28日

(51) Int.Cl.⁶

識別記号

F I

H 0 4 L 12/28

H 0 4 L 11/20

F

H 0 4 Q 3/00

H 0 4 Q 3/00

H 0 4 L 11/20

C

審査請求 未請求 請求項の数 4 O L (全 15 頁)

(21) 出願番号 特願平9-310581

(22) 出願日 平成9年(1997)11月12日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 田副 靖宏

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

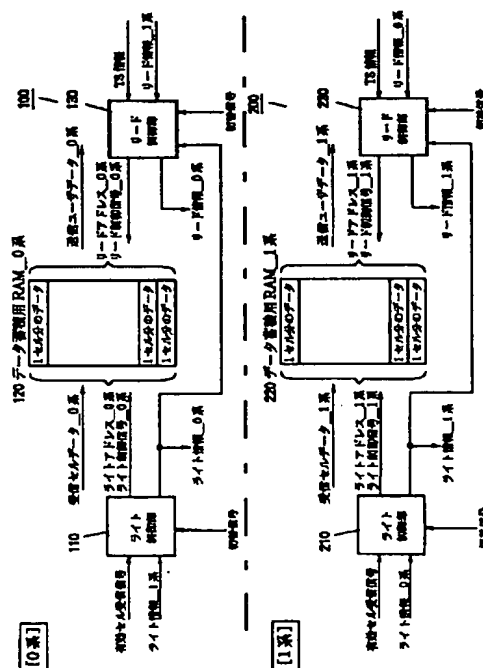
(74) 代理人 弁理士 前田 実

(54) 【発明の名称】 ATM二重化装置

(57) 【要約】

【課題】 運用系／待機系のどちらの系も定期的に保守（メンテナンス）を行うことができ、装置寿命及び装置品質を向上させることができるATM二重化装置を提供する。

【解決手段】 ATM二重化装置は、ATMセル分解を行うセル分解部が、ライト制御部110、データ蓄積用RAM_0系120及びリード制御部130からなる0系装置100と、ライト制御部210、データ蓄積用RAM_1系220及びリード制御部230からなる1系装置200とにより二重化構成され、ライト制御部110、210は、運用系／待機系の切替時、同じアドレス位置にセルデータをライトするための他系との情報通知機能を有し、リード制御部130、230は、同じアドレス位置をリードするための他系との情報通知機能と、切替によるライト切替開始アドレスをリードしたとき、自系及び他系の送信ユーザデータが一致したとして切替終了を判定する判定部とを備える。



【特許請求の範囲】

【請求項 1】 ATMセル分解を行うセル分解部が二重化構成され、該セル分解部を運用系／待機系に切り替えて使用可能にしたATM二重化装置であって、

1セルデータごとに領域を確保されたデータ蓄積用メモリと、

前記メモリに対しライト制御を行うとともに、運用系／待機系の切替時、同じアドレス位置にセルデータをライトするための他系との情報通知機能手段を有するライト制御部と、

前記メモリに対しリード制御を行うとともに、同じアドレス位置をリードするための他系との情報通知機能手段を有するリード制御部と、

切替によるライト切替開始アドレスをリードしたとき、自系及び他系の送信ユーザデータが一致したとして切替終了を判定する判定部とを備えたことを特徴とするATM二重化装置。

【請求項 2】 ATMセル分解を行うセル分解部が二重化構成され、該セル分解部を運用系／待機系に切り替えて使用可能にしたATM二重化装置であって、

1セルデータごとに領域を確保された複数のデータ領域を1チャンネル領域とし、該チャンネル領域を複数有するデータ蓄積用メモリと、

前記メモリに対しライト制御を行うとともに、運用系／待機系の切替時、何れのチャンネルの有効セルを受信しても同じアドレス位置にセルデータをライトするための他系との情報通知機能手段を有するライト制御部と、前記メモリに対しリード制御を行うとともに、同じアドレス位置をリードするための他系との情報通知機能手段を有するリード制御部と、

該当チャンネルの切替によるライト切替開始アドレスをリードしたとき、チャンネル単位の切替終了を判定するチャンネル切替終了判定部と予め設定したチャンネルが全て切替終了したことを判定する切替終了判定部とを備えたことを特徴とするATM二重化装置。

【請求項 3】 前記ライト制御部の情報通知機能手段は、他系のライト情報を使用可能にして他系と同じアドレス位置に受信セルデータをライトし、受信セルデータをライト後、他系にライト後のアドレス位置をライト情報として通知することを特徴とする請求項 1 又は 2 の何れかに記載のATM二重化装置。

【請求項 4】 前記リード制御部の情報通知機能手段は、他系のリード情報を使用可能にして他系と同じアドレス位置をリードし、データをリード後、他系にリード後のアドレス位置をリード情報として通知することを特徴とする請求項 1 又は 2 の何れかに記載のATM二重化装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、STM (Synchronous Transfer Mode: 同期転送モード) 網とATM (Asynchronous Transfer Mode: 非同期転送モード) 網とを含む通信網において、情報を固定長のパケット (以下、セルという) で転送するATM二重化装置に係り、特に、ATMセル分解時における、運用系から待機系への切替方法を改良したATM二重化装置に関する。

【0002】

10 【従来の技術】マルチメディア通信を実現する手段として、ATMが有力視されており、特にLAN (Local Area Network) において導入が進められている。

【0003】ATM通信方式においては、情報のデータ列をセルと呼ばれる固定長のデータブロックに分割してデータの送受信を行っている。また、ATM通信方式は、色々な方路から入力されたセルデータを多重することによって、回線の効率的な利用を行うことを特徴としている。

20 【0004】従来のこの種の装置としては、例えば「FDDIリピータ機能を有するATM二重化装置の検討」(信学技法 TECHNICAL REPORT OF IEICE, SSE92-170)に開示されたものがある。

【0005】上記文献に記載の装置はPBXやTDMといった既存装置 (STM) とATM網やATM装置 (ATM) との接続を目的としている。

【0006】従来、この種の装置では、図16に示すように、ATMセル受信後、セル分解を行いユーザデータ (STMデータ等) を送信する間、一連の処理を行うだけで、二重化は行われていなかった。

30 【0007】

【発明が解決しようとする課題】しかしながら、このような従来のATM装置にあっては、一旦装置を起動したら、どのような場合でもその状態を維持し続けなければならない、保守、運用上満足のできるものではなかった。

【0008】本発明は、運用系／待機系のどちらの系も定期的に保守 (メンテナンス) を行うことができ、装置寿命及び装置品質を向上させることができるATM二重化装置を提供することを目的とする。

【0009】

40 【課題を解決するための手段】本発明に係るATM二重化装置は、ATMセル分解を行うセル分解部が二重化構成され、該セル分解部を運用系／待機系に切り替えて使用可能にしたATM二重化装置であって、1セルデータごとに領域を確保されたデータ蓄積用メモリと、メモリに対しライト制御を行うとともに、運用系／待機系の切替時、同じアドレス位置にセルデータをライトするための他系との情報通知機能手段を有するライト制御部と、メモリに対しリード制御を行うとともに、同じアドレス位置をリードするための他系との情報通知機能手段を有するリード制御部と、切替によるライト切替開始アドレ

スをリードしたとき、自系及び他系の送信ユーザデータが一致したとして切替終了を判定する判定部とを備えたことを特徴とする。

【0010】本発明に係るATM二重化装置は、ATMセル分解を行うセル分解部が二重化構成され、該セル分解部を運用系／待機系に切り替えて使用可能にしたATM二重化装置であって、1セルデータごとに領域を確保された複数のデータ領域を1チャンネル領域とし、該チャンネル領域を複数有するデータ蓄積用メモリと、メモリに対しライト制御を行うとともに、運用系／待機系の切替時、何れのチャンネルの有効セルを受信しても同じアドレス位置にセルデータをライトするための他系との情報通知機能手段を有するライト制御部と、メモリに対しリード制御を行うとともに、同じアドレス位置をリードするための他系との情報通知機能手段を有するリード制御部と、該当チャンネルの切替によるライト切替開始アドレスをリードしたとき、チャンネル単位の切替終了を判定するチャンネル切替終了判定部と予め設定したチャンネルが全て切替終了したことを判定する切替終了判定部とを備えたことを特徴とする。

【0011】上記ライト制御部の情報通知機能手段は、他系のライト情報を使用可能にして他系と同じアドレス位置に受信セルデータをライトし、受信セルデータをライト後、他系にライト後のアドレス位置をライト情報として通知するものであってもよい。

【0012】上記リード制御部の情報通知機能手段は、他系のリード情報を使用可能にして他系と同じアドレス位置をリードし、データをリード後、他系にリード後のアドレス位置をリード情報として通知するものであってもよい。

【0013】

【発明の実施の形態】本発明に係るATM二重化装置は、既存装置（PBXやTDM）等のSTM網とATM網とを接続し、ATMセルを分解するATM分解機能を備えたATM二重化装置に適用することができる。

【0014】第1の実施形態図1は本発明の第1の実施形態に係るATM二重化装置の全体構成を示す図である。

【0015】図1において、10はATMセル分解を行うセル分解部が二重化構成されたATM装置であり、ATM装置10は、ATM分解処理を行う0系装置20と、ATM分解処理を行う1系装置30と、0系装置20の送信出力と1系装置30の送信出力を選択しユーザデータとして出力するセレクタ40とから構成される。

【0016】上記0系装置20は、ATMセルを受信するセル受信__0系部21、受信したATMセルを分解するセル分解__0系部22及び分解したセルをユーザデータ（STMデータ等）として送信するユーザデータ送信__0系部23から構成される。

【0017】同様に、上記1系装置30は、ATMセル

を受信するセル受信__1系部31、受信したATMセルを分解するセル分解__1系部32及び分解したセルをユーザデータとして送信するユーザデータ送信__1系部33から構成される。

【0018】上記0系装置20と1系装置30の装置構成は同一であり、一方が運用系、他方が待機予備系となる。

【0019】このように、ATMセル分解を行う部分が、0系装置20と1系装置30の二重化構成となっており、運用系となった装置では、ATMセル受信後、セル分解を行いユーザデータ（STMデータ等）を送出する間、一連の処理を行う。すなわち、ATMセル分解機能部が、運用系と待機系の二重化構成であるため運用系を起動運用中に、他方の待機系で保守等が可能になる。

【0020】本実施形態では、ATMセル分解時における、運用系から待機系への切替方法に特徴があり、以下、運用系／待機系の基本装置構成を図示して詳細に説明する。

【0021】図2は本発明の第1の実施形態に係るATM二重化装置の基本装置構成を示す図であり、図2破線の上部が〔0系〕、破線の下部が〔1系〕装置を示す。

【0022】図2において、100は0系装置、200は1系装置であり、0系装置100は、ライト制御部110、データ蓄積用RAM__0系120及びリード制御部130から構成され、1系装置200は、ライト制御部210、データ蓄積用RAM__1系220及びリード制御部230から構成される。

【0023】上記0系装置100と1系装置200は、同一構成であるため、0系装置100を例にとり説明する。

【0024】ATMセルは、受信処理によりペイロードデータが抽出され、受信セルデータ__0系としてデータ蓄積用RAM__0系120に引き渡される。また、受信処理からは、有効セル受信信号がライト制御部110へ渡される。

【0025】ライト制御部110は、ライトアドレス__0系、ライト制御信号__0系をデータ蓄積用RAM__0系120に対して出力する。また、自系のライト制御部（例えば、ライト制御部110）は、他系のライト制御部（例えば、ライト制御部210）が出力するライト情報__1系を受け取る。

【0026】リード制御部130は、ユーザデータ送信処理により出力されるTS情報とライト情報__0系を受け取る。また、自系のリード制御部（例えば、リード制御部130）は、他系のリード制御部（例えば、リード制御部230）が出力するリード情報__1系を受け取る。

【0027】リード制御部130は、リードアクセス__0系、リード制御信号__0系をデータ蓄積用RAM__0系120に対して出力する。その結果、データ蓄積用R

AM__0系120は、送信ユーザデータ__0系を送信する。

【0028】ここで、1系装置200のライト制御部210、データ蓄積用RAM__1系220及びリード制御部230についても同様の構成をとる。

【0029】図3は上記データ蓄積用RAMの構成を示す図であり、データ蓄積用RAM__0系120とデータ蓄積用RAM__1系220とは同一構成をとる。

【0030】図3に示すように、1セル分のデータ領域を割り当てて構成している。図3は1セル分のデータを64バイトの領域の割り当てた場合の例であり、実際には、1セル分のデータ領域の取り方は任意に設定できる。

【0031】図4は上記ライト制御部110、210の構成を示す図である。ライト制御部110、210は、同一構成であるため、ライト制御部110を例にとり説明する。

【0032】図4において、ライト制御部110は、メモリ111、セレクト条件判定回路112、セクタ113、アドレス変換回路114、ライトタイミング調整回路115及びライト制御信号生成回路116から構成される。

【0033】メモリ111は、前回ライトしたセル領域情報を記憶する。

【0034】セレクト条件判定回路112は、運用系/待機系の状態と切替信号の有無によりセレクト条件を判定する。

【0035】セクタ113は、セレクト条件判定回路112の判定結果を基にメモリ111に保存されたセル領域情報と他系からのライト情報（ここでは、ライト情報__1系）とを選択する。

【0036】アドレス変換回路114は、セレクトされた情報を次にライトするセル領域のアドレスに変換し、ライトアドレス（ライトアドレス__0系）として出力する。

【0037】また、ライトタイミング調整回路115は、有効セル受信信号によりライトタイミング調整を行う。

【0038】ライト制御信号生成回路116は、タイミング調整された有効セル受信信号を基にライト制御信号（ライト制御信号__0系）を生成する。

【0039】図5は上記リード制御部130、230の構成を示す図である。リード制御部130、230は、同一構成であるため、リード制御部130を例にとり説明する。

【0040】図5において、リード制御部130は、TS情報テーブル131、TS情報補正回路132、メモリ133、セレクト条件判定回路134、セクタ135、アドレス変換回路136、切替終了判定回路137、リードタイミング調整回路138及びリード制御信

号生成回路139から構成される。

【0041】TS情報テーブル131は、ユーザデータのTS情報をテーブルにして格納する。

【0042】TS情報補正回路132は、他系のリード情報（TS情報を含む）をTS情報テーブル131を基に補正して他系の情報受信間のTS情報をメモリ133に出力する。

【0043】メモリ133は、補正後の情報を基に1セル分のデータをリード終了した位置のセル領域情報を記憶する。

【0044】セレクト条件判定回路134は、運用系/待機系の状態と切替信号の有無によりセレクト条件を判定する。

【0045】セクタ135は、セレクト条件判定回路134の判定結果を基にメモリ133に保存されたセル領域情報と他系の情報受信間のTS構成補正した情報（ここでは、リード情報__1系）とを選択する。

【0046】アドレス変換回路136は、セレクトされた情報を次にリードするセル領域のアドレスに変換し、リードアドレス（リードアドレス__0系）として出力する。

【0047】切替終了判定回路137は、セレクト条件判定回路134からのセレクト条件判定により切替動作開始を知るとともに、ライト情報とリード情報から切替終了を判定し切替終了信号を出力する。

【0048】また、リードタイミング調整回路138は、ユーザデータ送信要求信号によりリードタイミング調整を行う。

【0049】リード制御信号生成回路139は、タイミング調整されたユーザデータ送信要求信号を基にリード制御信号（リード制御信号__0系）を生成する。

【0050】以下、上述のように構成されたATM二重化装置の動作を説明する。

【0051】〔全体動作〕0系装置100を例にして、動作を説明する。

【0052】図1に示すように、ATMセルは、0系装置20のセル受信__0系部21における受信処理によりペイロードデータが抽出され、受信セルデータ__0系としてセル分解__0系部22に引き渡される。セル分解時における処理は、図2の0系装置100で示される。

【0053】上記受信処理によりペイロードデータが抽出され、受信セルデータ__0系としてデータ蓄積用RAM__0系120に引き渡される。また、受信処理からは、有効セル受信信号がライト制御部110へ渡される。

【0054】さらに、ライト制御部110では、ライトアドレス__0系、ライト制御信号__0系をデータ蓄積用RAM__0系120に対して出力する。また、自系のライト制御部110は、他系のライト制御部210が出力するライト情報__1系を受け取る。

【0055】リード制御部130では、ユーザデータ送信処理により出力されるTS情報とライト情報__0系を受け取るとともに、自系のリード制御部130は、他系のリード制御部230が出力するリード情報__1系を受け取る。

【0056】さらに、リード制御部130では、リードアクセス__0系、リード制御信号__0系をデータ蓄積用RAM__0系120に対して出力する。その結果、データ蓄積用RAM__0系120は、送信ユーザデータ__0系を送信する。

【0057】〔各部動作〕図6は上記ライト制御部110、210の動作の流れを示すフローチャートであり、STはフローの各ステップを示す。ライト制御部110、210は、同一動作であるため、0系装置100のライト制御部110の動作の流れを例にとる。

【0058】まず、ステップST1で有効セルを受信したか否かを判別し、有効セルを受信したときはステップST2で自系が運用系でかつ他系が待機系であるか（自系＝運用系、他系＝待機系か）否かを判別する。

【0059】自系が運用系でかつ他系が待機系のときは、現在の運用系におけるライト動作を継続するためステップST3で前回ライトした次の領域に受信セルデータをライトしてステップST1に戻り次の有効セル受信を行う。

【0060】自系が待機系でかつ他系が運用系（自系＝待機系、他系＝運用系）のときは、自系は待機系であるからステップST4で切替信号が発生したか否かを判別し、切替信号が発生していなければステップST3に進んで自系が運用系の場合と同じライト動作をする。

【0061】上記ステップST4で切替信号が発生したときはステップST5で他系ライト情報に応じてセルデータをライトする。このとき、自系、他系とも同じセルデータを同じ位置（アドレス）にライトする。

【0062】次いで、ステップST6で切替によるライト開始位置表示を行ってステップST1に戻り次の有効セル受信を行う。具体的には、リード制御部130にライト切替開始アドレスを通知して次の有効セル受信を行う。

【0063】このように、ライト制御部110では、まず、有効セルを受信し、自系が運用系の場合、受信セルデータを前回ライトした次の領域にライトする。また、自系が待機系の場合には、切替信号の発生の有無をチェックし、切替信号が発生していなければ、自系が運用系の場合と同じ動作をする。

【0064】切替信号が発生した場合、他系のライト情報を使用し、他系と同じ位置に受信セルデータをライトする。自系、他系とも同じ位置（アドレス）に受信セルデータをライトしたら、その位置（アドレス）をリード制御部130へ通知する。

【0065】特に、切替信号をトリガに、他系からのラ

イト情報、リード情報（TS情報を含む）を使ってデータ蓄積用RAM120へのライトデータを揃えるとともに、図7で後述するリード制御部130動作によりリード位置を合わせることで、自系、他系の送信ユーザデータを一致させるようにしている。

【0066】図7は上記リード制御部130、230の動作の流れを示すフローチャートである。ライト制御部130、230は、同一動作であり、かつ上記ライト制御部110の動作と対応させるため、0系装置100のリード制御部130の動作の流れを例にとる。

【0067】まず、ステップST11でデータ蓄積用RAM120に一定量のセルデータを蓄積したか否かを判別する。ここで、一定量とは、ユーザが任意に決定することができる所定値である。

【0068】データ蓄積用RAM120に一定量のセルデータを蓄積したときはステップST12で自系が運用系でかつ他系が待機系であるか（自系＝運用系、他系＝待機系か）否かを判別する。

【0069】自系が運用系でかつ他系が待機系のときは、現在の運用系におけるリード動作を継続するためステップST13で前回リードした次のデータ位置をリードし、ステップST14で1セル領域のデータリードが終了したか否かを判別する。1セル領域のデータリードが終了していなければ、1セル領域のデータリードが終了するまでステップST13のリードを繰り返す。

【0070】1セル領域のデータリードが終了したときはステップST15で他系ヘリッドセル領域情報とその位置でのTS情報を出力してステップST11に戻りデータ蓄積用RAM120に一定量のセルデータを蓄積する。ここで、TSとは、図8に示すようにユーザデータの先頭（基準）信号から、何番目のデータ位置にあるのかを示すものである。

【0071】一方、上記ステップST12で自系が待機系でかつ他系が運用系（自系＝待機系、他系＝運用系）のときは、自系は待機系であるからステップST16で切替信号が発生したか否かを判別し、切替信号が発生していなければステップST13に進んで自系が運用系の場合と同じリード動作をする。

【0072】上記ステップST16で切替信号が発生したときはステップST17で他系リード情報（TS情報含む）に応じた位置のデータをリードし、該当TSデータとして出力する。この場合、リード情報を受信する間のTS構成をTS情報テーブル131を基に認識し、TS情報補正回路132により補正する。

【0073】次いで、ステップST18でライト切替開始アドレス以降をリードしたか否かを判別し、ライト切替開始アドレス以降をリードしていないときはステップST17に戻ってライト切替開始アドレス以降をリードするまでステップST17の処理を繰り返し、ライト切替開始アドレス以降をリードしたときはステップST1

9で切替制御終了表示を行ってステップST11に戻りデータ蓄積用RAM120に一定量のセルデータを蓄積する。

【0074】このように、リード制御部130では、まず、データ蓄積用RAM120に、ある一定量のデータを蓄積することによりリード動作を開始する。自系が運用系の場合、前回リードした次の位置のデータをリードする。1セル分の領域全てのデータをリードしたら、他系にそのリードセル領域情報とその位置でのTS情報を出力する。一方、自系が待機系の場合、切替信号が発生していなければ、自系が運用系の場合と同じ動作をする。

【0075】切替信号が発生した場合、他系のリード情報（TS情報を含む）とTS情報テーブルを使用して、他系と同じ位置（アドレス）をリードする。その後、ライト切替開始アドレスをリードするようになったとき、送信ユーザデータの内容が自系、他系で一致するので、切替制御終了となり、外部セクタによる切替を行い、切替動作終了となる。このとき、運用系/待機系も同じく切り替える。

【0076】以上説明したように、第1の実施形態に係るATM二重化装置は、ATMセル分解を行うセル分解部が、ライト制御部110、データ蓄積用RAM__0系120及びリード制御部130からなる0系装置100と、ライト制御部210、データ蓄積用RAM__1系220及びリード制御部230からなる1系装置200とにより二重化構成され、ライト制御部110、210は、運用系/待機系の切替時、同じアドレス位置にセルデータをライトするための他系との情報通知機能を有し、リード制御部130、230は、同じアドレス位置をリードするための他系との情報通知機能と、切替によるライト切替開始アドレスをリードしたとき、自系及び他系の送信ユーザデータが一致したとして切替終了を判定する判定部とを備えて構成したので、切替信号をトリガに、他系からのライト情報、リード情報（TS情報を含む）を使ってデータ蓄積用RAMへのライトデータを揃え、リード位置を合わせることで、自系、他系の送信ユーザデータを一致させることができ、これを外部セクタにより切り替えることで、データエラーを発生せず無瞬断切替が可能（換言すれば、無瞬断切替であるためデータエラーが発生しない。）になる。

【0077】したがって、定期的に運用系/待機系を切り替えることで待機系の方のメンテナンスが可能となり、どちらの系も定期的に保守（メンテナンス）ができることになるので、装置寿命、装置品質を向上させることができる。

【0078】第2の実施形態

本発明の第2の実施形態に係るATM二重化装置の二重化の構成については第1の実施形態の前記図1と同一構成である。

【0079】図9は第2の実施形態に係るATM二重化装置の基本装置構成を示す図であり、図9破線の上部分が【0系】、破線の下部が【1系】装置を示す。

【0080】第1の実施形態との違いは、データ蓄積用RAMが複数chに対応できるように、それぞれのchごとに領域が確保されていることである。したがって、ライト/リード制御にch情報が加わる。ここで、データ蓄積用RAMの各chの領域内は、第1の実施形態と同じように1セルデータ毎にデータ領域の割当てが行われている。

【0081】図9において、300は0系装置、400は1系装置であり、0系装置300は、ライト制御部310、データ蓄積用RAM__0系320及びリード制御部330から構成され、1系装置400は、ライト制御部410、データ蓄積用RAM__1系420及びリード制御部430から構成される。

【0082】上記0系装置300と1系装置400は、同一構成であるため、0系装置300を例にとり説明する。

【0083】ATMセルは、受信処理によりペイロードデータが抽出され、受信セルデータ__0系としてデータ蓄積用RAM__0系320に引き渡される。また、受信処理からは、有効セル受信信号及び受信セルch情報がライト制御部310へ渡される。

【0084】ライト制御部310は、ライトアドレス__0系、ライト制御信号__0系をデータ蓄積用RAM__0系320に対して出力する。また、自系のライト制御部（例えば、ライト制御部310）は、他系のライト制御部（例えば、ライト制御部410）が出力するライト情報__1系（ch情報含む）を受け取る。

【0085】リード制御部330は、ユーザデータ送信処理により出力されるTS情報とライト情報__0系を受け取る。また、自系のリード制御部（例えば、リード制御部330）は、他系のリード制御部（例えば、リード制御部430）が出力するリード情報__1系（ch情報含む）を受け取る。

【0086】リード制御部330は、リードアクセス__0系、リード制御信号__0系をデータ蓄積用RAM__0系320に対して出力する。その結果、データ蓄積用RAM__0系320は、送信ユーザデータ__0系を送信する。

【0087】ここで、1系装置400のライト制御部410、データ蓄積用RAM__1系420及びリード制御部430についても同様の構成をとる。

【0088】図10は上記データ蓄積用RAMの構成を示す図であり、データ蓄積用RAM__0系320とデータ蓄積用RAM__1系420とは同一構成をとる。

【0089】図10に示すように、前記図3のデータ領域構成を1つのch領域とし、それが複数ch分積み上がった構成である。

【0090】図11は上記ライト制御部310、410の構成を示す図である。ライト制御部310、410は、同一構成であるため、ライト制御部310を例にとり説明する。

【0091】図11において、ライト制御部310は、メモリ311、セレクト条件判定回路312、セクタ313、アドレス変換回路314、ライトタイミング調整回路315及びライト制御信号生成回路316から構成される。

【0092】メモリ311は、前回ライトしたセル領域情報を各ch毎に記憶する。

【0093】セレクト条件判定回路312は、運用系/待機系の状態と切替信号の有無によりセレクト条件を判定する。

【0094】セクタ313は、セレクト条件判定回路312の判定結果を基にメモリ311に保存されたセル領域情報と他系からのch情報含むライト情報（ここでは、ライト情報__1系）とを選択する。

【0095】アドレス変換回路314は、セレクトされた情報を次にライトするセル領域のアドレスに変換し、ライトアドレス（ライトアドレス__0系）として出力する。

【0096】また、ライトタイミング調整回路315は、有効セル受信信号によりライトタイミング調整を行う。

【0097】ライト制御信号生成回路316は、タイミング調整された有効セル受信信号を基にライト制御信号（ライト制御信号__0系）を生成する。

【0098】図12は上記リード制御部330、430の構成を示す図である。リード制御部330、430は、同一構成であるため、リード制御部330を例にとり説明する。

【0099】図12において、リード制御部330は、TS情報及びch情報テーブル331、TS情報補正回路332、メモリ333、セレクト条件判定回路334、セクタ335、アドレス変換回路336、切替終了メモリ337、切替終了判定回路338、リードタイミング調整回路339及びリード制御信号生成回路340から構成される。

【0100】TS情報及びch情報テーブル331は、ユーザデータのTS情報、ch情報をテーブルにして格納する。

【0101】TS情報補正回路332は、他系のリード情報（TS情報、ch情報を含む）をTS情報及びch情報テーブル331を基に補正して他系の情報受信間のTS情報をメモリ333に出力する。

【0102】メモリ333は、補正後の情報を基に1セル分のデータをリード終了した位置のセル領域情報をch毎に記憶する。

【0103】セレクト条件判定回路334は、運用系/

待機系の状態と切替信号の有無によりセレクト条件を判定する。

【0104】セクタ335は、セレクト条件判定回路334の判定結果を基にメモリ333に保存されたセル領域情報と他系の情報受信間のTS構成補正した情報（ここでは、リード情報__1系）とを選択する。

【0105】アドレス変換回路336は、セレクトされた情報を次にリードするセル領域のアドレスに変換し、リードアドレス（リードアドレス__0系）として出力する。切替終了メモリ337は、ch設定状況を含む各chの切替終了状態を記憶する。

【0106】切替終了判定回路338は、セレクト条件判定回路334からのセレクト条件判定により切替動作開始を知るとともに、切替終了メモリ337からの各chの切替終了状態情報、及びch情報を含むライト情報とリード情報から切替終了を判定し全てのchが切替終了になると切替終了信号を出力する。ここで、全てのchとは、ユーザ選択による任意の値（ch）であり、逐次変更可能である。

【0107】また、リードタイミング調整回路339は、ユーザデータ送信要求信号によりリードタイミング調整を行う。

【0108】リード制御信号生成回路340は、タイミング調整されたユーザデータ送信要求信号を基にリード制御信号（リード制御信号__0系）を生成する。

【0109】以下、上述のように構成されたATM二重化装置の動作を説明する。

【0110】〔全体動作〕0系装置300を例にして、全体動作を説明する。基本的な動作は第1の実施形態と同様である。

【0111】受信処理によりペイロードデータが抽出され、受信セルデータ__0系としてデータ蓄積用RAM__0系320に引き渡される。また、受信処理からは、有効セル受信信号、及び受信セルch情報がライト制御部310へ渡される。

【0112】さらに、ライト制御部310では、ライトアドレス__0系、ライト制御信号__0系をデータ蓄積用RAM__0系320に対して出力する。また、自系のライト制御部310は、他系のライト制御部410が出力するch情報含むライト情報__1系を受け取る。

【0113】リード制御部330では、ユーザデータ送信処理により出力されるTS情報、ch情報とライト情報__0系を受け取るとともに、自系のリード制御部330は、他系のリード制御部430が出力するch情報含むリード情報__1系を受け取る。

【0114】さらに、リード制御部330では、リードアクセス__0系、リード制御信号__0系をデータ蓄積用RAM__0系320に対して出力する。その結果、データ蓄積用RAM__0系320は、ch情報含む送信ユーザデータ__0系を送信する。

【0115】〔各部動作〕図12は上記ライト制御部310、410の動作の流れを示すフローチャートであり、基本的な動作は前記図6と同様である。また、ライト制御部310、410は、同一動作であるため、0系装置300のライト制御部310の動作の流れを例にとる。

【0116】まず、ステップST21で有効セルを受信したか否かを判別し、有効セルを受信したときはステップST22で自系が運用系でかつ他系が待機系であるか（自系＝運用系、他系＝待機系か）否かを判別する。

【0117】自系が運用系でかつ他系が待機系のときは、現在の運用系におけるライト動作を継続するためステップST23で該当chの前回ライトした次の領域に受信セルデータをライトしてステップST21に戻り次の有効セル受信を行う。

【0118】自系が待機系でかつ他系が運用系（自系＝待機系、他系＝運用系）のときは、自系は待機系であるからステップST24で切替信号が発生したか否かを判別し、切替信号が発生していなければステップST23に進んで自系が運用系の場合と同じライト動作をする。

【0119】上記ステップST24で切替信号が発生したときはステップST25で他系ライト情報（ch情報含む）に応じてセルデータをライトする。このとき、自系、他系とも同じセルデータを同じ位置（アドレス）にライトする。

【0120】次いで、ステップST26で切替によるライト開始位置、ch情報表示を行ってステップST21に戻り次の有効セル受信を行う。具体的には、リード制御部330にライト切替開始アドレス、ch情報を通知して次の有効セル受信を行う。

【0121】このように、ライト制御部310では、まず、有効セルを受信し、自系が運用系の場合、受信セルデータを該当chの前回ライトした次の領域にライトする。また、自系が待機系の場合には、切替信号の発生の有無をチェックし、切替信号が発生していなければ、自系が運用系の場合と同じ動作をする。

【0122】切替信号が発生した場合、他系のライト情報（ch情報含む）を使用し、他系と同じ位置に受信セルデータをライトする。自系、他系ともに同じ位置（アドレス）に受信セルをライトしたら、その位置（アドレス）とch情報をリード制御部330へ通知する。

【0123】図14は上記リード制御部330、430の動作の流れを示すフローチャートであり、基本的な動作は前記図7と同様である。ライト制御部330、430は、同一動作であり、かつ上記ライト制御部310の動作と対応させるため、0系装置300のリード制御部330の動作の流れを例にとる。

【0124】まず、ステップST31でデータ蓄積用RAM320に一定量のセルデータを蓄積したか否かを判別する。ここで、一定量とは、ユーザが任意に決定する

ことができる所定値である。

【0125】データ蓄積用RAM320に一定量のセルデータを蓄積したときはステップST32で自系が運用系でかつ他系が待機系であるか（自系＝運用系、他系＝待機系か）否かを判別する。

【0126】自系が運用系でかつ他系が待機系のときは、現在の運用系におけるリード動作を継続するためステップST33で該当chの前回リードした次のデータ位置をリードし、ステップST34で1セル領域のデータリードが終了したか否かを判別する。1セル領域のデータリードが終了していなければ、1セル領域のデータリードが終了するまでステップST33のリードを繰り返す。

【0127】1セル領域のデータリードが終了したときはステップST35で他系へリードセル領域情報とその位置でのTS、ch情報を出力してステップST31に戻りデータ蓄積用RAM320に一定量のセルデータを蓄積する。ここで、TSとは、図15に示すようにユーザデータの先頭（基準）信号から、何番目のデータ位置にあるのかを示すものである。なお、図15に示すchは一例であり、ch構成はユーザが自由に設定できる。

【0128】図14に戻って、上記ステップST32で自系が待機系でかつ他系が運用系（自系＝待機系、他系＝運用系）のときは、自系は待機系であるからステップST36で切替信号が発生したか否かを判別し、切替信号が発生していなければステップST33に進んで自系が運用系の場合と同じリード動作をする。

【0129】上記ステップST36で切替信号が発生したときはステップST37で他系リード情報（TS情報、ch情報含む）とTS情報テーブルを使用して他系と同じ位置（アドレス）に応じた位置のデータをリードし、該当TSデータとして出力する。ここでは、リード情報を受信する間のTS構成、ch構成をTS情報及びch情報テーブル331を基に認識し、TS情報補正回路332により補正する。

【0130】次いで、ステップST38で該当chのライト切替開始アドレス以降をリードしたか否かを判別し、該当chのライト切替開始アドレス以降をリードしていないときはステップST37に戻って該当chのライト切替開始アドレス以降をリードするまでステップST37の処理を繰り返す。

【0131】該当chのライト切替開始アドレス以降をリードしたときは、該当chは送信ユーザデータの内容が一致するのでステップST39で該当chの切替終了情報を切替終了メモリ337に保持する。

【0132】次いで、ステップST30で予め取り決めておいた全設定chが上述した処理により切替終了となったか否かを判別し、全設定ch切替終了でないときはステップST37に戻って上記ステップST37～ST30を繰り返す。

【0133】予め取り決めておいた全設定chが上記処理により切替終了となったときは、装置としての切替制御終了であると判断してステップST31で切替制御終了表示を行ってステップST31に戻りデータ蓄積用RAM320に一定量のセルデータを蓄積する。このとき、運用系/待機系も同じく切り替わる。

【0134】このように、リード制御部330では、自系が運用系の場合、該当chの前回リードした次の位置のデータをリードする。1セル分の領域全てのデータをリードしたら、他系へそのリードセル領域情報とその位置でのTS情報、ch情報を出力する。一方、自系が待機系の場合、切替信号が発生していなければ、自系が運用系の場合と同じ動作をする。

【0135】切替信号が発生した場合、他系のリード情報(TS情報、ch情報含む)とTS情報テーブルを使用して、他系と同じ位置(アドレス)をリードする。その後、該当chのライト切替開始アドレスをリードするようになったとき、該当chは送信ユーザデータの内容が一致するので、そのchの切替終了を保持する。また、ユーザが使用するために予め取り決めておいたchが全て、同様の処理により切替終了となった時、装置としての切替制御終了となり、外部セクタによる切替を行い切替動作終了となる。このとき、運用系/待機系も同じく切り替わる。

【0136】以上説明したように、第2の実施形態に係るATM二重化装置は、データ蓄積用RAM320、420に複数chに対応できるch領域を確保し、ライト/リード制御にch情報を加えて構成したので、第1の実施形態と同様、送信ユーザデータが一致したのち、外部セクタの切替で、データエラーを発生せずに無瞬断切替が可能である。したがって、定期的に運用系/待機系を切替えることで、待機系のメンテナンスが可能となり、装置寿命、装置品質を向上させることができる。

【0137】特に、第2の実施形態では、複数chへの対応が可能であり、また、chの使用状況が変化した場合にも、ユーザch設定を使用状況によりかえることで、切替処理を変更することなく、切替動作を行うことができ、汎用性を向上させることができる。

【0138】ここで、第1の実施形態は、単一状態(ch)、すなわち、有効受信セルを正常受信している時、受信したセルのセルデータの順序通り、ユーザデータとして送信すればよい場合に、運用系から待機系へ切替える二重化装置の切替部分に適用可能である。

【0139】また、第2の実施形態は、複数ch、すなわち、受信する有効セルは、ch1の有効セル、ch2の有効セル...であり、ユーザデータは、ch1のTS部分はch1のセルデータの受信順序、ch2のTS部分はch2のセルデータの受信順序...に従い、送信される場合に、運用系から待機系へ切替える二重化装置の切替部分に適用可能である。

【0140】さらに第2の実施形態では、各chを接続/切断するような、ch使用状況が変わる装置の二重化部分にも適用可能である。

【0141】また、第1の実施形態、第2の実施形態いずれの場合も、リード位置(アドレス)が切替によるライト位置(アドレス)まできた時、そのセルデータに構造化先頭を示すセルポインタがある場合、そのセルと次のセル位置(アドレス)をリードするまで切替終了としないようにしているので、構造化転送による影響を排除することができ、ATMセルが構造化転送を行う場合の二重化装置の切替部分にも適用して好適である。

【0142】なお、上記各実施形態に係るATM二重化装置を、既存装置(PBXやTDM)等のSTM網とATM網とを接続し、ATMセルを分解するATM分解機能を備えたATM二重化装置に適用することもできるが、勿論これには限定されず、ATMセル分解機能をもつ装置であれば全ての装置に適用可能であることは言うまでもない。

【0143】また、上記各実施形態では、セルに、ATMセルを用いているが、ATMセルに限らずどのようなバケットであってもよい。例えば、セルヘッダ部、ペイロード部がATMセルとは異なるバイト長及びフォーマットのものでよい。

【0144】さらに、上記二重化装置及び各種回路を構成するメモリ、制御部、回路、セクタ等の種類、接続数、接続形態などは上述の実施形態に限られないことは言うまでもない。

【0145】

【発明の効果】本発明に係るATM二重化装置では、1セルデータごとに領域を確保されたデータ蓄積用メモリと、メモリに対しライト制御を行うとともに、運用系/待機系の切替時、同じアドレス位置にセルデータをライトするための他系との情報通知機能手段を有するライト制御部と、メモリに対しリード制御を行うとともに、同じアドレス位置をリードするための他系との情報通知機能手段を有するリード制御部と、切替によるライト切替開始アドレスをリードしたとき、自系及び他系の送信ユーザデータが一致したとして切替終了を判定する判定部とを備えて構成したので、運用系/待機系のどちらの系も定期的に保守(メンテナンス)を行うことができ、装置寿命及び装置品質を向上させることができる。

【図面の簡単な説明】

【図1】本発明を適用した第1の実施形態に係るATM二重化装置の全体構成を示す図である。

【図2】上記ATM二重化装置のATM二重化装置の基本装置構成を示す図である。

【図3】上記ATM二重化装置のデータ蓄積用RAMの構成を示す図である。

【図4】上記ATM二重化装置のライト制御部の構成を示す図である。

【図5】上記ATM二重化装置のリード制御部の構成を示す図である。

【図6】上記ATM二重化装置のライト制御部の動作の流れを示すフローチャートである。

【図7】上記ATM二重化装置のリード制御部の動作の流れを示すフローチャートである。

【図8】上記ATM二重化装置のTS情報を説明するための図である。

【図9】本発明を適用した第2の実施形態に係るATM二重化装置の基本装置構成を示す図である。

【図10】上記ATM二重化装置のデータ蓄積用RAMの構成を示す図である。

【図11】上記ATM二重化装置のライト制御部の構成を示す図である。

【図12】上記ATM二重化装置のリード制御部の構成

を示す図である。

【図13】上記ATM二重化装置のライト制御部の動作の流れを示すフローチャートである。

【図14】上記ATM二重化装置のリード制御部の動作の流れを示すフローチャートである。

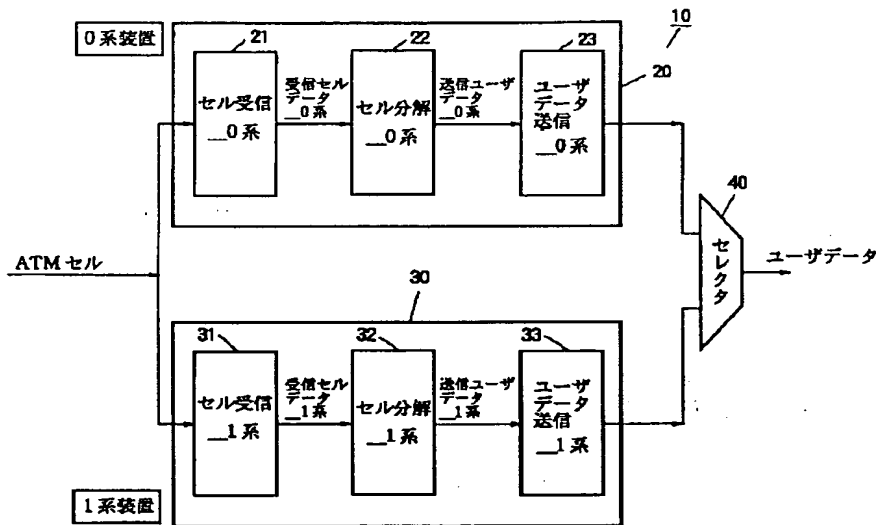
【図15】上記ATM二重化装置のTS情報を説明するための図である。

【図16】従来のATMセル分解を説明するための図である。

10 【符号の説明】

10 ATM装置、20、100、300 0系装置、30、200、400 1系装置、40 セクタ、110、210、310、410 ライト制御部、120、220、320、420 データ蓄積用RAM__0系、130、230、330、430 リード制御部

【図1】

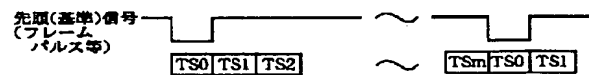


【図3】

データ蓄積用RAM

アドレス	データ
...	...
0---080	1セル分のデータ領域
0---040	1セル分のデータ領域
0---000	1セル分のデータ領域

【図8】

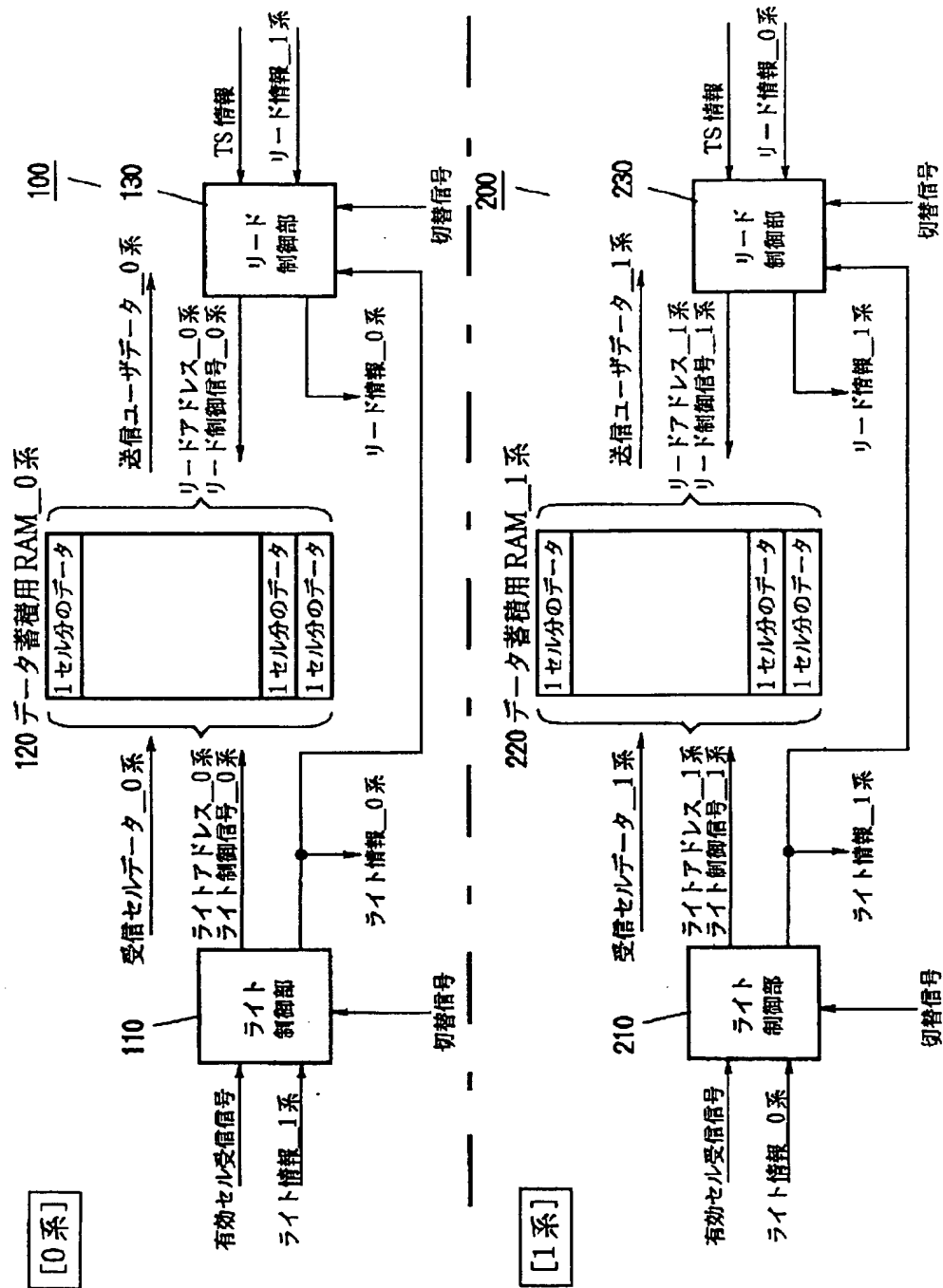


【図10】

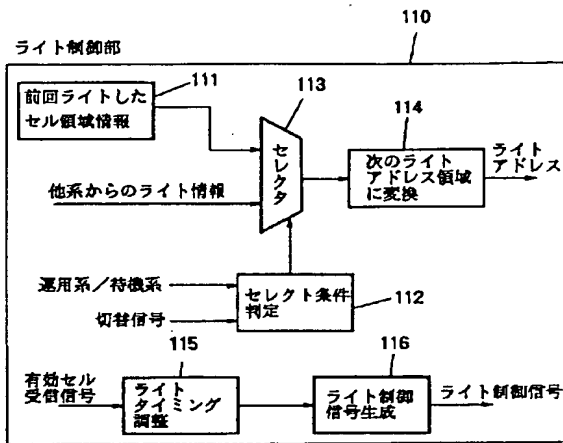
データ蓄積用RAM

アドレス	データ	領域
...	...	dm 領域
...
0---1	1セル分のデータ領域	chl 領域
...
0---0	1セル分のデータ領域	ch0 領域

【図 2】

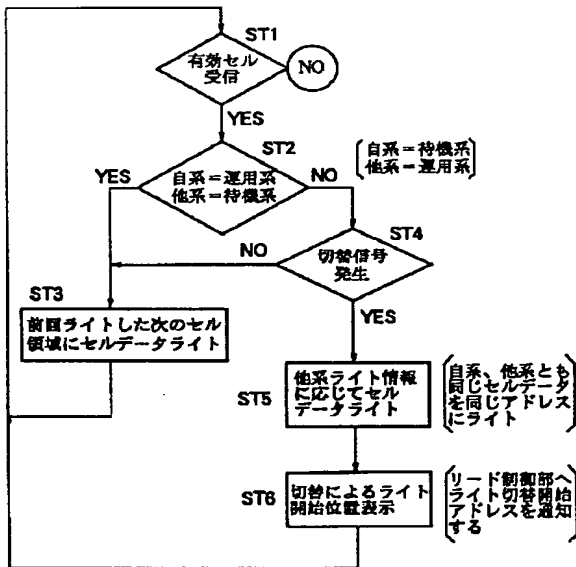


【図 4】

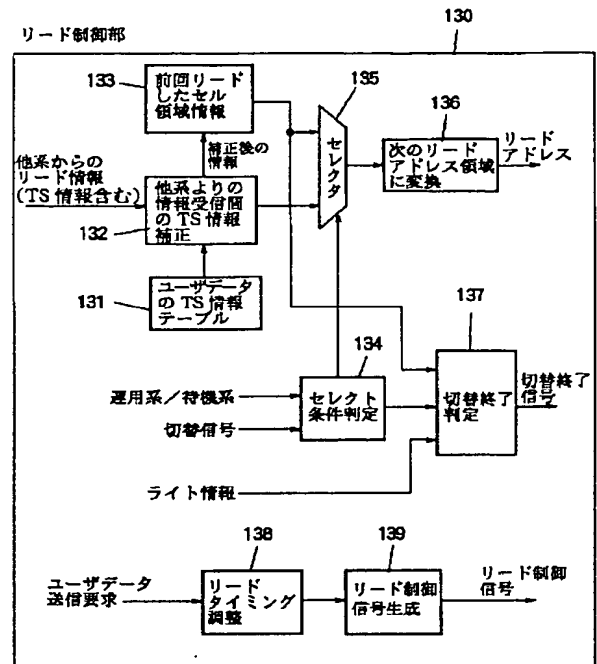


【図 6】

ライト制御部動作フローチャート

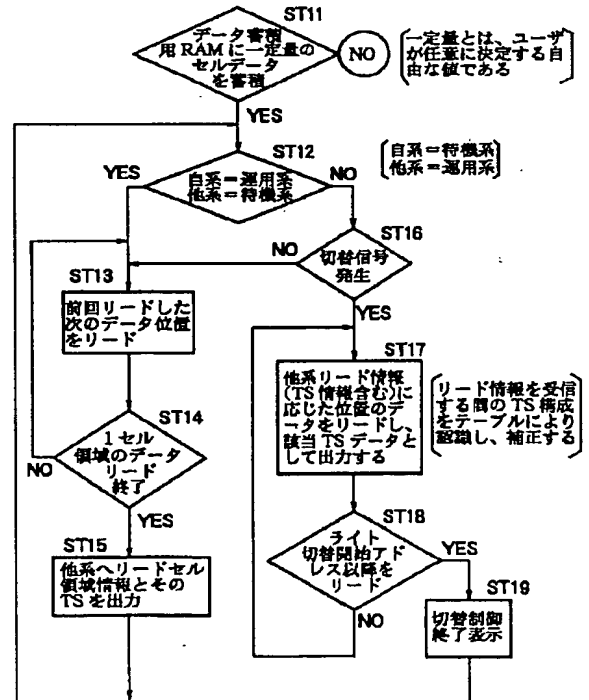


【図 5】

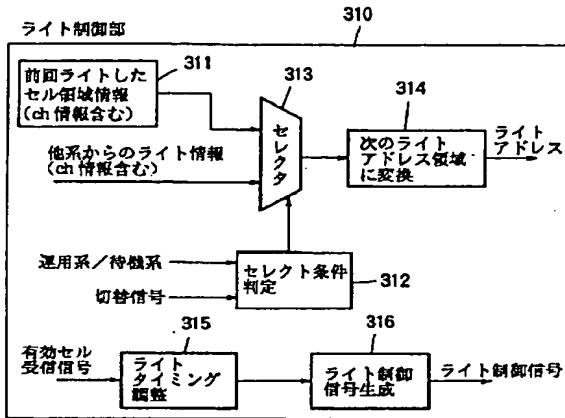


【図 7】

リード制御部動作フローチャート

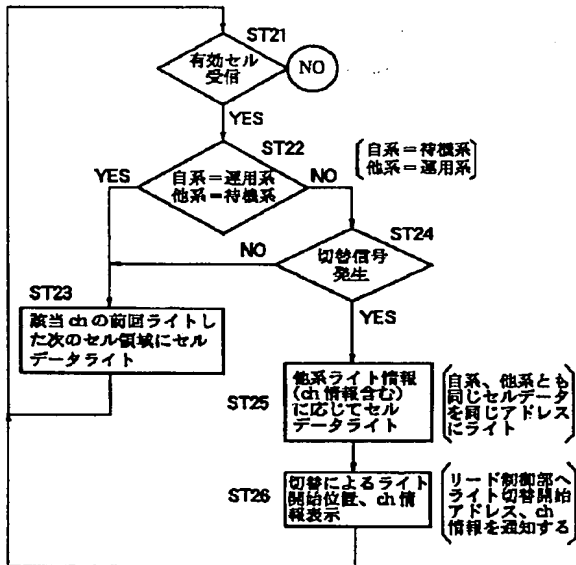


【図 11】

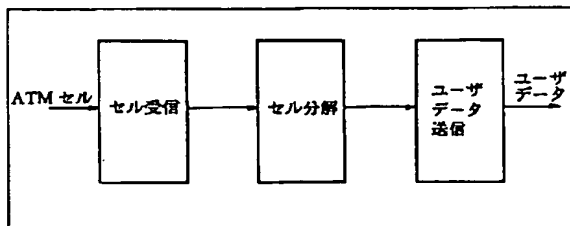


【図 13】

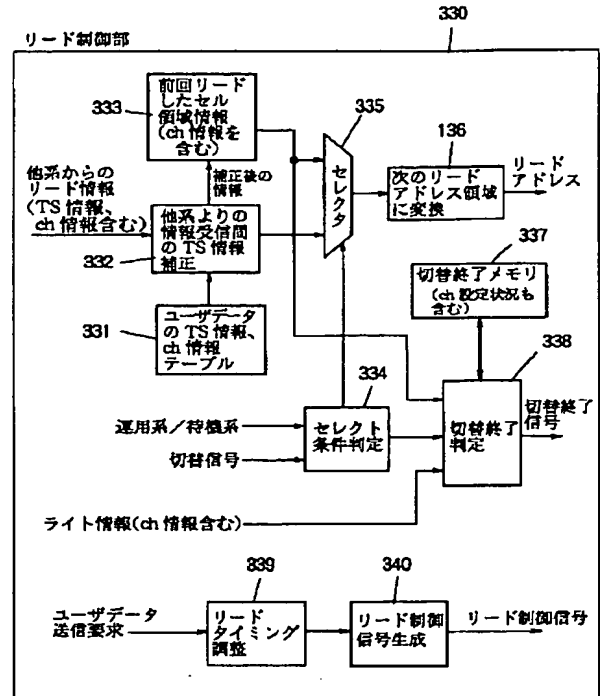
ライト制御部動作フローチャート



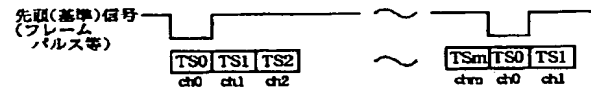
【図 16】



【図 12】



【図 15】



【図14】

リード制御部動作フローチャート

